

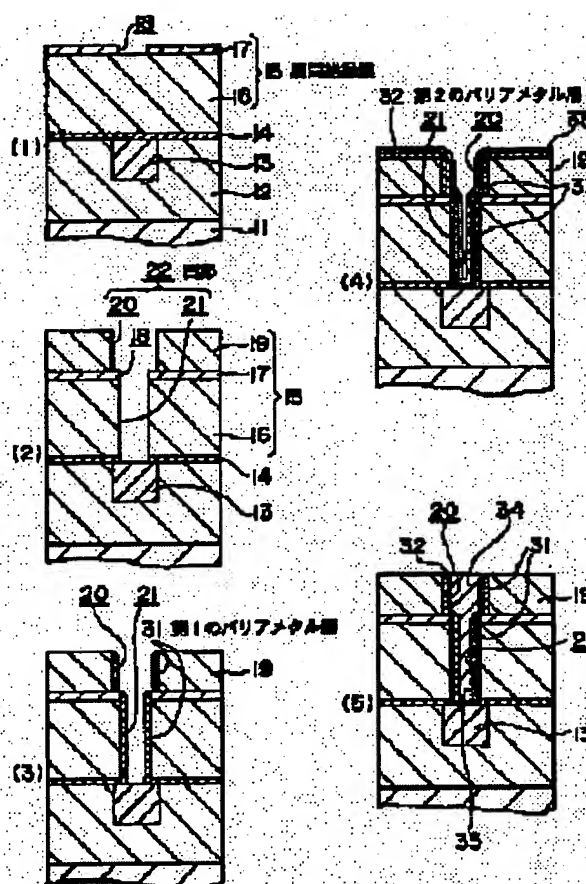
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP2000323571
Publication date: 2000-11-24
Inventor: TAGUCHI MITSURU
Applicant: SONY CORP
Classification:
- International: H01L21/768; H01L21/3205; H01L21/28
- european:
Application number: JP19990133532 19990514
Priority number(s): JP19990133532 19990514

Abstract of JP2000323571

PROBLEM TO BE SOLVED: To suppress problems such as leakages between wirings caused by the surface of a lower copper wiring being sputtered, where although a natural oxide film on the surface of the lower copper wiring at the bottom of the connection hole can be removed by sputter etching, the sputtered copper adheres to the sidewall of a connection hole and the stuck copper shifts within an interlayer insulating film, and others.

SOLUTION: This manufacturing method is equipped with a process of forming a recess 22 consisting of a groove 20 and a connection hole 22 in an interlayer insulating film 15, a process of forming a first barrier metal layer 31 at the inner face of the recess 22, a process of exposing the bottom of the recess 22, by selectively removing the first barrier metal layer 31 at the bottom of the recess 22, a process of performing sputter etching to the bottom of the recess 22, and a process of forming a second barrier metal layer 31 via the first barrier metal layer 31 at the inner face of the recess 22.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323571

(P2000-323571A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テームト ⁷ (参考)
H 0 1 L 21/768		H 0 1 L 21/90	A 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 R 5 F 0 3 3
21/3205		21/88	M

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平11-133532

(22) 出願日 平成11年5月14日 (1999. 5. 14)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田口 充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

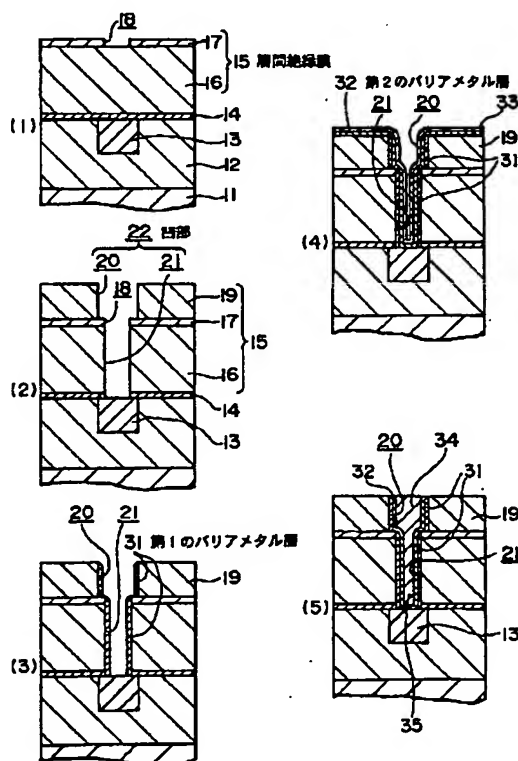
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 スパッタエッチングにより接続孔底部の下層銅配線表面の自然酸化膜を除去することはできるが、その表面がスパッタされ、スパッタされた銅が接続孔側壁に付着し、付着した銅が層間絶縁膜中を移動することで引き起こされていた配線間リーク等の問題を解決することにある。

【解決手段】 層間絶縁膜15に溝20および接続孔21からなる凹部22を形成する工程と、凹部22の内面に第1のバリアメタル層31を形成する工程と、凹部22の底部の第1のバリアメタル層31を選択的に除去して凹部22の底部を露出させる工程と、凹部22の底部に対してスパッタエッチングを行う工程と、凹部22の内面に第1のバリアメタル層31を介して第2のバリアメタル層32を形成する工程とを備えている製造方法である。



【特許請求の範囲】

【請求項1】 層間絶縁膜に凹部を形成する工程と、前記凹部の内面に第1のバリアメタル層を形成する工程と、前記凹部の底部の前記第1のバリアメタル層を選択的に除去して前記凹部の底部を露出させる工程と、前記凹部の底部に対してスパッタエッチングを行う工程と、前記凹部の内面に前記第1のバリアメタル層を介して第2のバリアメタル層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記凹部は、接続孔、配線を形成するための溝、または配線を形成するための溝とその溝の底部に形成した接続孔からなることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくはダマシン法、デュアルダマシン法等の埋め込み技術を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】LSIデバイスの微細化、高速化の要求から、配線抵抗の低減、信頼性の向上が望まれている。これを実現するべく、従来のアルミニウム合金配線に比べて抵抗が低くエレクトロマイグレーション耐性の高い銅配線が検討され、一部実用化されている。

【0003】銅配線を形成する技術としては、銅のドライエッチングが一般的に容易ではないことから、いわゆる溝配線による方法が有望視されている。その溝配線を形成する技術としては、接続孔に配線材料を埋め込んだ後に、溝を形成し、その溝に配線材料を埋め込む方法（いわゆるシングルダマシン法）の他、接続孔と溝の両方を形成しておき、その接続孔と溝の両方に同時に配線材料を埋め込む方法（いわゆるデュアルダマシン法）等が提案されている。このデュアルダマシン法は、工程数が少なく済むという利点がある。

【0004】溝配線を形成するためには、溝または接続孔に銅を埋め込む必要があり、溝や接続孔に配線材料の銅を埋め込む方法には、室温程度の低温プロセスであり、埋め込み性および膜質が比較的良好である電解メッキ法が多用されている。

【0005】一方、配線材料の銅は、酸化シリコン等の層間絶縁膜中に移動する性質を有する。そのため、銅配線の形成では、銅と絶縁膜との間にバリアメタル層を形成する必要がある。バリアメタルには、従来より用いられてきた窒化チタンの他にタンタル、窒化タンタル、窒化タングステン等が用いられている。そのバリアメタル層の形成には、一般に、スパッタリング、化学的気相成長法等が用いられている。

【0006】以下に、従来の銅配線の形成方法を図2により説明する。図2の(1)に示すように、絶縁膜111に下層銅配線112が形成され、その下層銅配線112を覆うように、上記絶縁膜111上に窒化シリコン膜113、層間絶縁膜114が形成されている。この層間絶縁膜114には、配線形成用の溝115が形成されていて、さらに層間絶縁膜114から窒化シリコン膜113には、溝115の底部から下層銅配線112に達する接続孔116が形成されている。

【0007】まず図2の(2)に示すように、上記のような溝115および接続孔116に対して、アルゴンスパッタエッチングにより、接続孔116の底部に露出している下層銅配線112の表面に生成されている自然酸化膜（図示せず）を除去する。その際に下層銅配線112の表面がスパッタされて、接続孔116の側壁にスパッタされた銅の付着物141が堆積される。続いてスパッタリングにより、上記溝115および接続孔116の各内面に、バリアメタル層131を50nmの厚さの窒化タンタル膜で形成する。

【0008】その後図2の(3)に示すように、銅メッキのシードとなる銅膜を形成した後、電解メッキ法により接続孔116および溝115の各内部を銅で埋め込む。次いで化学的機械研磨（以下CMPという、CMPはChemical Mechanical Polishingの略）により、層間絶縁膜114上の余分な銅およびバリアメタル層131を除去して、溝116の内部にバリアメタル層131を介して銅からなる配線132を形成するとともに接続孔116の内部にバリアメタル層131を介して銅からなるプラグ133を形成する。

【0009】

【発明が解決しようとする課題】しかしながら、上記銅の溝配線の形成方法では、アルゴンスパッタエッチングにより、下層銅配線の表面に生成されている自然酸化膜を除去することはできるが、下層銅配線の表面がスパッタされ、そのスパッタされた銅が接続孔の側壁に付着する。すなわち、スパッタされた銅が層間絶縁膜に直接接触する状態に付着する。層間絶縁膜の接続孔が形成されている部分は、通常、酸化シリコン膜で形成されている。そのため、窒化タンタル等のバリアメタル層を形成して、埋め込んだ銅と層間絶縁膜とが接触しないようにしても、接続孔の側壁に付着した銅がその後の加熱工程等のプロセスにより層間絶縁膜中に移動し、配線間リーク等の問題を引き起こしていた。

【0010】また、上記溝配線の形成方法では、溝、接続孔等に配線材料となる銅を埋め込んだ後、余剰の銅やバリアメタルをCMPにより除去している。このバリアメタルとしては、バリア性、銅との密着性の観点から、タンタルもしくは窒化タンタルを用いる場合が多い。しかしながら、バリアメタル層のような厚さのタンタル系材料のCMPは一般的に容易ではなく、研磨残りが生じ

易い。そして研磨残りが生じた場合には、配線間のショートが発生することがあった。

【0011】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法であり、層間絶縁膜に凹部を形成する工程と、凹部の内面に第1のバリアメタル層を形成する工程と、凹部の底部の第1のバリアメタル層を選択的に除去して凹部の底部を露出させる工程と、凹部の底部に対してスパッタエッチングを行う工程と、凹部の内面に第1のバリアメタル層を介して第2のバリアメタル層を形成する工程とを備えている。

【0012】上記半導体装置の製造方法では、凹部の内面に第1のバリアメタル層を形成してから、凹部の底部の第1バリアメタル層を選択的に除去して凹部の底部を露出させることから、凹部の側壁に第1のバリアメタル層が残される。そして凹部の底部に対してスパッタエッチングすることから、凹部の底部に金属もしくは金属化合物からなる配線もしくは電極のような導電体が形成されている場合、その表面に生成されている自然酸化膜を除去することが可能になる。その際、スパッタされた導電体が凹部の側壁に付着しても、側壁には第1のバリアメタル層が形成されているので、その付着物が層間絶縁膜に直接に接触することはない。このため、導電体が銅配線であって、付着物が銅もしくは銅合金であっても、第1のバリアメタル層により層間絶縁膜方向への銅の移動が阻止されるので、銅が層間絶縁膜中に移動することはない。

【0013】また、第2のバリアメタル層は、銅との密着性を有し、かつ凹部の内部の段差被覆性が確保されればよい。例えば、凹部が溝とその溝の底部の一部に形成した接続孔とからなる場合には、その溝底部の段差被覆性が確保されればよい。したがって、第2のバリアメタル層は、従来のバリアメタル層よりも薄く形成することができるので、従来のバリアメタル層のような厚さに形成する必要はない。そのため、第2のバリアメタル層を形成した後、凹部内に導電体を埋め込んで、例えばCMPによって層間絶縁膜上の余分な導電体を除去する際に、層間絶縁膜上の第2のバリアメタル層はCMPによって、研磨残りを生じることなく容易に除去されるようになる。

【0014】

【発明の実施の形態】本発明の半導体装置の製造方法に係わる実施の形態を、図1の製造工程図によって説明する。

【0015】図1の(1)に示すように、基板11上に素子(図示省略)を形成し、さらに絶縁膜12や下層導電体(例えば銅配線や銅電極)13等の形成を行い、平坦化プロセスによってその絶縁膜12の表面を平坦化して、上記下層導電体13の上面を露出させる。そして上

記下層導電体13を覆うように、上記絶縁膜12上に銅の移動を阻止するバリア層14を形成する。このバリア層14は、バリア性と絶縁性を有する材料、例えば窒化シリコンで形成する。なお、上記下層導電体13は、例えば溝配線法により銅配線で形成し、その際に溝の内面にバリアメタル層(図示せず)を形成した。

【0016】次いで、例えばプラズマCVD法により、上記バリア層14上に、層間絶縁膜15になる酸化シリコン(以下 PE-SiO_2 と記す)膜16を例えば800nmの厚さに形成する。さらに窒化シリコン(以下 PE-SiN と記す)膜17を例えば50nmの厚さに形成する。この PE-SiN 膜17は PE-SiO_2 をエッチングする際にエッチングマスクおよびエッチングストップパとしての機能を果たす。

【0017】次に、通常のリソグラフィ技術および反応性イオンエッチング(以下RIEという、RIEはReactive Ion Etchingの略)技術により、 PE-SiN 膜17に、例えば下層導電体13に通じる接続孔の一部となる開口部18を形成する。上記開口部18の口径は、例えば0.2 μm とした。

【0018】さらに図1の(2)に示すように、プラズマCVD法によって、上記 PE-SiN 膜17上かつ上記開口部18上に層間絶縁膜15になる PE-SiO_2 膜19を例えば500nmの厚さに形成する。次いでリソグラフィ技術とエッチングとにより、この PE-SiO_2 膜19に溝20を、この溝20の底部に上記開口部18が存在するように形成する。したがって、この溝20の幅は例えば0.3 μm とした。上記溝20を形成する際には、 PE-SiN 膜17がエッチングストップパになる。

【0019】さらにエッチングを進行させることにより、上記 PE-SiN 膜17をマスクにして、上記 PE-SiO_2 膜16、バリア層14をエッチングして、下層導電体13に通じる接続孔21を形成する。この結果、接続孔21の口径は上記開口部18の口径とほぼ同等の0.2 μm に形成された。このようにして、溝20と接続孔21とで凹部22が形成される。

【0020】次いで図1の(3)に示すように、DCマグネトロンスパッタ法により、上記溝20および接続孔21の各内面に、第1のバリアメタル層31を、例えば30nmの厚さの窒化タンタル膜で形成する。この第1のバリアメタル層31の膜厚は、段差被覆性を考慮し、溝20および接続孔21の各側壁部分において、銅に対して十分なバリア性を有する膜厚に選択される。この実施の形態では一例としては、30nmとしたが、通常、20nm~70nm程度の厚さに形成しておけば十分である。なお、第1のバリアメタル層31の成膜に先立って従来行っていたスパッタエッチングは行わない。

【0021】上記第1のバリアメタル層31に用いる窒化タンタル膜の成膜条件の一例としては、ターゲットに

は窒化タンタルターゲットを用い、プロセスガスに、アルゴン（例えば供給流量を100 sccmとする）を用い、スパッタリング装置のDCパワーを6 kW、スパッタリング雰囲気圧力を0.4 Pa、基板温度を100℃に設定した。

【0022】次いで異方性エッチングにより第1のバリアメタル層31をエッチバックして、接続孔21の底部に形成されている第1のバリアメタル層31を除去する。その際、溝20の底部およびPE-SiO₂膜19上の第1のバリアメタル層31も除去される。図面(3)では上記異方性エッチング後の状態を示した。

【0023】上記第1のバリアメタル層31のエッチバック条件の一例としては、エッチング装置にヘリコンプラズマを用いた高密度プラズマエッチング装置を用い、エッチングガスに、六フッ化硫黄（例えば供給流量を50 sccmとする）とアルゴン（例えば供給流量を50 sccmとする）とを用い、エッチング装置のプラズマソースパワーを1.5 kW、バイアスパワーを100 W、エッチング雰囲気圧力を1 Pa、基板温度を20℃に設定した。

【0024】次に、図1の(4)に示すように、アルゴンスパッタエッチングにより、接続孔21の底部における下層導電体13の表面に生成されている自然酸化膜（図示せず）を除去する。

【0025】上記アルゴンスパッタエッチング条件の一例としては、スパッタリング装置にICP（Inductively Coupled Plasma）スパッタリング装置を用い、プロセスガスにアルゴンを用い、ICPパワーを500 W、バイアスパワーを300 W、基板温度を200℃、処理時間を20秒に設定した。

【0026】次いで、DCマグネトロンスパッタ法により、上記溝20および接続孔21の各内面に、第1のバリアメタル層31を介して第2のバリアメタル層32を、例えば10 nmの厚さの窒化タンタル膜で形成する。第2のバリアメタル層32は、最上面のPE-SiO₂膜19上や溝20の底部での段差被覆性が溝20や接続孔21の各側壁における段差被覆性より良好であるため、その膜厚は10 nm程度で、最上面での銅との密着層としての機能および溝底部でのバリアメタル層としての機能を十分に有するものとなる。したがって、第2のバリアメタル層32は、従来のバリアメタル層よりも非常に薄く形成することが可能になり、本発明では5 nm～20 nm程度の厚さがあれば十分である。

【0027】上記第2のバリアメタル層32に用いる窒化タンタル膜の成膜条件は、第1のバリアメタル層31の成膜条件と同様であり、膜厚は成膜時間を制御することにより決定した。

【0028】さらにDCマグネトロンスパッタ法により、上記第2のバリアメタル層32の表面に銅を例えば100 nmの厚さに堆積して導電体の一部となる銅膜3

3を形成する。この銅膜33は後の工程で行う銅の電解メッキのシードとなる。なお、上記第2のバリアメタル層32と上記銅膜33は、成膜表面を酸化性雰囲気（例えば大気）に触れさせることなく連続して成膜することが好ましい。

【0029】上記銅膜33の成膜条件の一例としては、プロセスガスに、アルゴン（例えば供給流量を100 sccmとする）を用い、スパッタリング装置のDCパワーを6 kW、スパッタリング雰囲気圧力を0.4 Pa、基板温度を100℃に設定した。

【0030】次に図1の(5)に示すように、電解メッキ法により、上記溝20および接続孔21の各内部に銅を埋め込む。その際、上記銅膜33〔前記図1の(4)参照〕上にも銅（一部図示せず）が堆積される。

【0031】その後CMPにより、溝20および接続孔21の各内部の銅を残すようにして、PE-SiO₂膜19上の余分な銅および第2のバリアメタル層32〔前記図1の(4)参照〕を除去する。その結果、溝20および接続孔21の各内部に銅および第1のバリアメタル層31と第2のバリアメタル層32とが残されて、溝20内の銅等で配線34が形成され、接続孔21内の銅等で下層導電体13に接続するプラグ35が形成される。

【0032】上記半導体装置の製造方法では、溝20と接続孔21の内面に第1のバリアメタル層31を形成してから、エッチバックにより接続孔21の底部の第1バリアメタル層31を選択的に除去して接続孔21の底部を露出させている。その結果、溝20と接続孔21の各側壁にバリアメタル層が形成されることになる。さらに接続孔21の底部に対してスパッタエッチングすることから、接続孔21の底部に露出した下層導電体13の表面に生成されている自然酸化膜を除去することが可能になる。その際、スパッタされた下層導電体13の銅が接続孔21等の側壁に付着しても、側壁には第1のバリアメタル層31が形成されているので、その付着物が層間絶縁膜15に直接に接触することはない。このため、下層導電体13が銅配線であって、付着物が銅であっても、その銅が層間絶縁膜15中に移動（拡散も含む）することはない。

【0033】その後、第2のバリアメタル層32を形成することから、銅の成膜表面は第2のバリアメタル層32で被覆されるため、銅との密着性が確保されるとともに、溝20の底部の段差被覆性が確保される。また、第2のバリアメタル層32は、従来のバリアメタル層よりも薄く形成することができるので、従来のバリアメタル層のような厚さに形成する必要はない。そのため、第2のバリアメタル層32を形成した後、溝20および接続孔21の各内部に銅を埋め込んで、その後CMPによってPE-SiO₂膜19上の余分な銅を除去する際に、PE-SiO₂膜19上の第2のバリアメタル層32はCMPによって、研磨残りを生じることなく容易に除去

されるようになる。

【0034】なお、上記実施の形態では、溝20および接続孔21に銅を埋め込む方法として、電解メッキ法を採用したが、その他の埋め込み方法として、無電解メッキ法、化学的気相成長法もしくはスパッタリング、または上記成膜方法のいずれかの方法とリフロー法もしくは高圧リフロー法とを併用した方法であってもよい。

【0035】また、上記実施の形態では、デュアルダマシン法により配線34およびプラグ35を同時に形成したが、接続孔内に銅のプラグを形成する場合にも適用することが可能である。したがって、接続孔内を銅で埋め込むとともに層間絶縁膜上に銅膜を形成した後、リソグラフィ技術とエッチング技術とによりその銅膜をパターニングして配線を形成する場合にも適用することが可能である。

【0036】さらに、上記配線材料には、銅の他に、銅-ジルコニウムのような銅合金を用いることもできる。また、上記第1のバリアメタル層31および第2のバリアメタル層32を形成するバリアメタル材料には、上記説明した窒化タンタルの他に、例えば、タンタル、窒化チタン、タングステン、窒化タングステン、窒化ケイ化タングステン等の銅の移動を阻止できる導電性材料を用いることが可能である。なお、第1のバリアメタル層31は、絶縁性を有していてもよいので、絶縁材料でありかつ銅の移動を阻止できるような材料として、例えば窒化シリコンを用いることもできる。

【0037】

【発明の効果】以上、説明したように本発明によれば、凹部の側壁にのみ第1のバリアメタル層を形成してから、凹部の底部に対してスパッタエッチングを行うので、凹部の底部に金属もしくは金属化合物からなる配線

もしくは電極のような導電体が形成されている場合、その表面に生成されている自然酸化膜を除去することが可能になる。その際、スパッタされた導電体が凹部の側壁に付着しても、側壁には第1のバリアメタル層が形成されているので、その付着物が層間絶縁膜に直接に接触することはない。よって、付着物が銅もしくは銅合金であっても、第1のバリアメタル層により層間絶縁膜方向への銅の移動が阻止されるので、その銅が層間絶縁膜中に移動することはなく、配線間リークのない信頼性の高い配線構造を得ることができる。

【0038】また、第2のバリアメタル層を形成するので、層間絶縁膜最表面での銅との密着性を確保することができ、かつ凹部内の溝底部の段差被覆性が確保できる。しかも、第2のバリアメタル層は従来のバリアメタル層のような厚さに形成する必要がないので、凹部内に埋め込んだ導電体を例えばCMPによって除去する際に、層間絶縁膜上の第2のバリアメタル層はCMPによって研磨残りを生じることなく容易に除去することができる。

【0039】このように、第1のバリアメタル層を形成した後、凹部の底部の第1のバリアメタル層を除去してからスパッタエッチングを行い、その後第2のバリアメタル層を形成することから、容易に、配線間リークのない信頼性の高い配線構造を得ることができる。

【図面の簡単な説明】

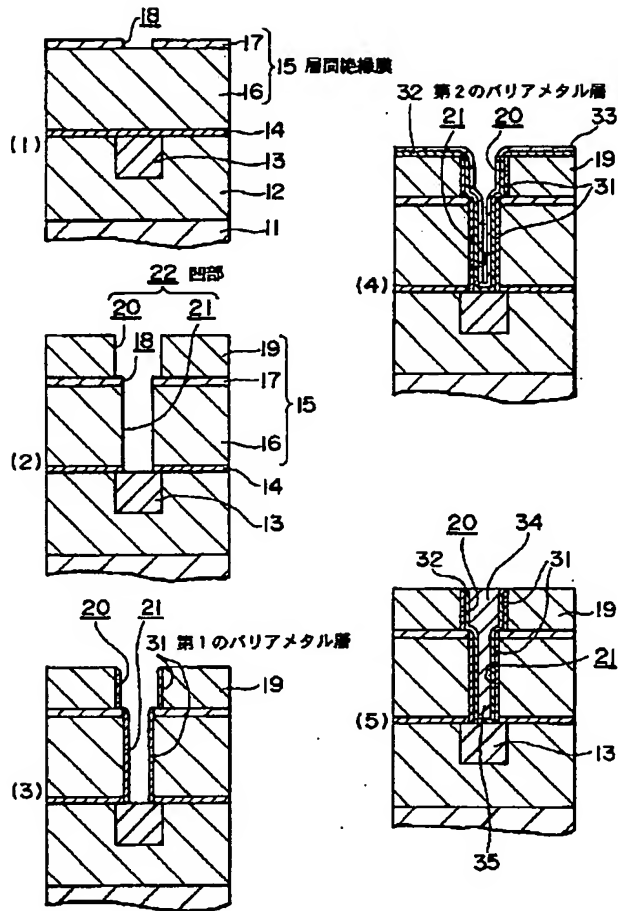
【図1】本発明に係わる実施の形態を説明する製造工程図である。

【図2】課題を説明する概略構成断面図である。

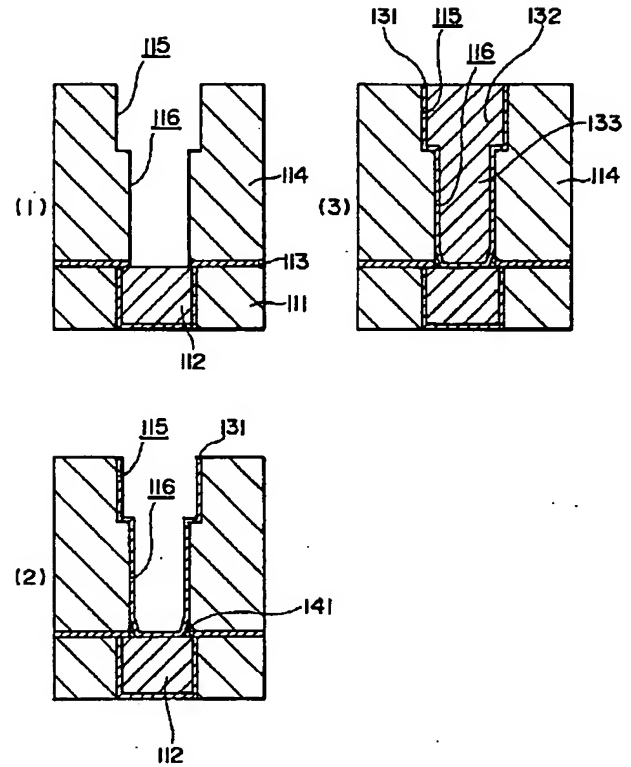
【符号の説明】

15…層間絶縁膜、22…凹部、31…第1のバリアメタル層、32…第2のバリアメタル層

【図1】



【図2】



フロントページの続き

Fターム(参考) 4M104 AA01 BB04 BB17 BB18 BB30
BB32 BB33 BB36 CC01 DD04
DD07 DD08 DD16 DD17 DD23
DD37 DD43 DD52 DD53 DD64
DD75 FF16 FF18 FF22 HH20
5F033 HH11 HH12 HH19 HH21 HH32
HH33 HH34 JJ11 JJ12 JJ19
JJ21 JJ28 JJ32 JJ33 JJ34
KK11 MM02 MM10 MM12 MM13
NN05 NN06 NN07 PP06 PP15
PP27 PP28 QQ09 QQ12 QQ13
QQ14 QQ16 QQ25 QQ28 QQ31
QQ37 QQ48 QQ73 QQ75 QQ86
QQ92 QQ94 RR04 RR06 SS15
TT07 XX01 XX28 XX31